

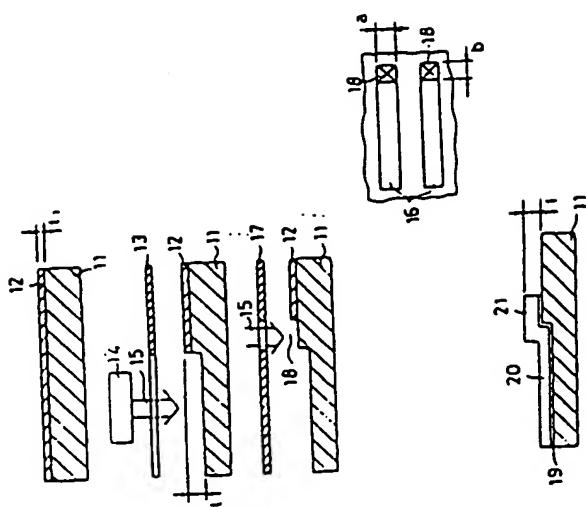
BEST AVAILABLE COPY

437-183 AU 1104 49205

JP 404150033 A
MAY 1992

(54) BUMP ON ELECTRONIC CIRCUIT BOARD; FORMATION METHOD OF BUMP ON ELECTRONIC CIRCUIT BOARD AND OF CIRCUIT PATTERN
(11) 4-150033 (A) (43) 22.5.1992 (19) JP
(21) Appl. No. 2-274739 (22) 12.10.1990
(71) SHARP CORP (72) SHOJI KIRIBAYASHI
(51) Int. Cl's. H01L21/321,H01L21/3205

Up



PURPOSE: To easily mount an LSI chip on a board by a method wherein a protrusion-shaped bump is formed on a conductive layer formed on a groove having a prescribed circuit pattern in such a way that it is extended from the groove to the board.

CONSTITUTION: The side of a coating film 12 to which a mask 13 has been attached is irradiated with a laser beam 15; a U-shaped groove 16 having a depth of t_1 is formed in a circuit board 11. The mask 13 is removed; a mask 17 which is provided with one or more parts having an area of $a \times b$ corresponding to the size of a bump is attached to the coating film 12; the same side is irradiated with the laser beam 15; a pattern 18 having a depth of t_1 is formed so as to pass the coating film 12. Then, a thin film is formed on the patterns 16 to 18 whose depths are t_1 and t_2 . A metal thin film 19 is formed in the parts; a conductor 20 is formed by an electrolytic plating operation; a protrusion-shaped bump 21 having a thickness of (t) is obtained. An LSI chip can be mounted easily on the board by using the bump formed in this manner.

183
230

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A) 平4-150033

⑫Int.Cl.³H 01 L 21/321
21/3205

登別記号

庁内整理番号

⑬公開 平成4年(1992)5月22日

6940-4M H 01 L 21/92
7353-4M 21/88

B

B

審査請求 未請求 請求項の数 2 (全6頁)

⑭発明の名称 電子回路基板のバンプ並びに電子回路基板のバンプ及び回路パターンの形成方法

⑮特許 平2-274739

⑯出願 平2(1990)10月12日

⑰発明者 桐林 喜司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑲代理人 弁理士 川口 錠雄 外4名

明細書

1. 発明の名称

電子回路基板のバンプ並びに電子回路基板のバンプ及び回路パターンの形成方法

2. 特許請求の範囲

(1) 基板に形成された所定の回路パターンを有する上、該基板上に形成された所定の導電性層とを有する電子回路基板におけるバンプであって、前記基板から前記基板上に延伸して形成された所定の導電性層から成ることを特徴とする電子回路基板のバンプ。

(2) 基板の裏面にコーティング膜を形成し、所定の回路パターンを有する第1のマスクを介して前記コーティング膜から第1の光を照射することにより前記基板に溝を形成し、バンプに相当する面積部分を有する第2のマスクを介して前記コーティング膜から第2の光を照射することにより所定のバンプパターンを前記基板に形成し、該形成された溝及びバンプパターン上に所定の導電性の層を形成することを特徴とする電子回路基板

のバンプ及び回路パターンの形成方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、電子回路基板のバンプ並びに電子回路基板のバンプ及び回路パターンの形成方法に関するものである。

【従来の技術】

従来の電子回路基板のバンプ形成方法としては、大規模電極回路(マトリクス: Matrix)以後、LSI(と称する)のウニバ状態においてマッキ缶により各LSIチップ面にバンプ加工する方法が知られている。

また、他の従来の電子回路基板のバンプ形成方法としては、上記の方と同様にLSIのウニバ状態において、ガラス版上にバンプ形状を形成加工して、LSIチップ及び回路パターン面にバンプを転写する転写バンプ方法が知られている。

上記従来の電子回路基板のバンプ形成方法を図面を参照して以下に詳述する。

まず、上述のマッキ缶による従来の電子回路基

特開平1-150033 (2)

板のパンプ形成方法について説明する。

第8図(A)及び第8図(B)にLSIウニハ状態でマッキ法により各LSIチップ部にパンプを形成する方法を示す。

第8図(A)に示すように、まずLSIウニハの状態で、パンプ加工窓が開口されているレジスト槽 \square をLSIウニハ \square に施す。レジスト槽 \square をLSIウニハ \square に施したならば、レジスト槽 \square の開口された部分 \square にマッキ法により(一) \square の厚さを有するパンプ \square を生成する。

上記のパンプ \square が生成されたら、第8図(B)に示すように、レジスト槽 \square を除去して凸状のパンプ \square をLSIチップ \square に形成する。

次に、上述の既存パンプ方法による従来の電子回路基板のパンプ形成方法について説明する。

第9図(A)から第9図(D)にガラス板上にパンプ形状加工を形成し、回路パターン部にパンプを転写する方法を示す。

まず、第9図(A)に示すようにガラス板 \square に凸状のパンプ用の部分 \square を加工する。

第9図(B)に示すように上記ガラス板 \square に形成された凸状のパンプ用の部分 \square にマッキ法によりパンプ形状 \square を作成する。

加熱金属複合によりガラス板 \square で作成された凸状のパンプ \square を第9図(C)に示すようにガラス板 \square から回路パターン \square のLSI電子位置に合致するパターン部分 \square にパンプを転写して、第9図(D)に示すようにパンプ \square を回路パターン \square に形成する。

第10図(A)及び(B)は、上述した従来のパンプ形成方法を用いて作成されたTABテープの一構成例を示す。

第11図(A)は第10図(B)中の部分BB'におけるTABテープの断面図を示し、第11図(B)は第10図(A)のTABテープの上面図を示す。

図中、ニッティング法により基板 \square 上に回路パターンを構成するインナーリード \square 及びアウターリード \square が形成されていると共に、基板 \square を貫通してテバイスホール \square が形成されている。

従って構造的にインナーリード \square が容易に変形

しつつ、またパンプ部 \square をLSI \square の一部分に形成する必要がある。

【発明が解決しようとする課題】

上述の従来のLSIウニハ状態でマッキ法により各LSIチップ部にパンプ加工する方法には、タブ(以後、TABと称する)テープ及び基板上にLSIチップをポンディングするときに、LSIチップにパンプ加工を施しておく必要があるために製造工程が多いという問題点がある。

また、上述のガラス板上にパンプ形状加工を形成し、回路パターン部にパンプを転写する既存パンプ方法にも、一度生成したパンプを加熱金属複合によりガラス板から回路パターンに転写しなければならず製造工程が多いという問題点がある。

本発明の目的は、少ない工程により電子回路基板に施すことができる電子回路基板のパンプを提供することにある。

本発明の目的は、上述の従来の電子回路基板のパンプ形成方法における問題点に鑑み、少ない工程によりパンプを電子回路基板に施すことが

できる電子回路基板のパンプ及び回路パターンの形成方法を提供することにある。

【課題を解決するための手段】

本発明の上述した目的は、基板に形成され所定の回路パターンを有する端と、端上に形成された所定端の導電性端とを有する電子回路基板におけるパンプであって、端から基板上に延伸して形成された所定端の導電性端から成る電子回路基板のパンプによって達成される。

本発明の上述した他の目的は、基板の表面にコーティング膜を形成し、所定の回路パターンを有する第1のマスクを介してコーティング膜側から第1の光を照射することにより基板に窓を形成し、パンプに相当する面積部分を有する第2のマスクを介してコーティング膜側から第2の光を照射することにより所定のパンプパターンを基板に形成し、形成された窓及びパンプパターン上に所定端の導電性の端を形成する電子回路基板のパンプ及び回路パターンの形成方法によって達成される。

【作用】

特開平1-150033(3)

本発明の電子回路基板のパンプでは、基板上に形成された所定の回路パターンを有し、所定層の導電性層は基板上に形成されていると共に、基板上に延伸して形成されている。

本発明の電子回路基板のパンプ及び回路パターンの形成方法では、基板の表面にコーティング膜を形成し、所定の回路パターンを有する第1のマスクを介してコーティング膜側から第1の光を照射することにより基板に露を形成し、パンプに相当する面積部分を有する第2のマスクを介してコーティング膜側から第2の光を照射することにより所定のパンプパターンを基板に形成し、形成された露及びパンプパターン上に所定層の導電性の層を形成する。

【実施例】

以下、本発明の電子回路基板のパンプ及び電子回路基板のパンプ及び回路パターンの形成方法における実施例を図面を参照して詳述する。

第1図に本実施例の電子回路基板のパンプ及び回路パターンの形成方法のフローチャートを示す。

次の図11を平面図で示す。図に示すように各部はそれぞれ一定の間隔離れて設けられる。

次に、マスク11を取り除いた後に(ステップS4)、第2図(C)に示すようにパンプ寸法に相当する長さa、幅bを有する面積a×bの部分を1つまたは複数個えたマスク11をコーティング膜12に付設し(ステップS5)、マスク11が付設されたコーティング膜12の側からエキシマレーザ13から出力されたレーザ光14を照射してコーティング膜12を貫通して露さ15のパターン16を回路基板11に生成する(ステップS6)。上記のパンプ寸法に相当する長さa、幅bを有する面積a×bの部分の平面を第4図に示す。

マスク11を取り除いた後に(ステップS7)、第2図(D)に示すように露又は導電性膜17により、コーティング膜12がコーティングされた側から回路基板11に形成された露さ15及び16のパターン16及び15上に導電性層を生成し(ステップS8)、回路パターン16及びパンプ寸法11のみに金属薄膜18を形成する(ステップS9)。従ってパン

また、第2図(A)から第2図(F)に本実施例の電子回路基板のパンプ及び回路パターンの形成方法の各工程を示す。

第1図のフローチャートに従って第2図から第7図を参照して、以下、本実施例の電子回路基板のパンプ及び回路パターンの形成方法を説明する。

まず、第2図(A)に示すようにポリイミド又はポリニスチル等により形成された電子回路基板(以後、回路基板と称する)11の表面上に分子量の低いコーティング膜12をコーティングする(ステップS1)。なお、コーティング膜12としては、次工程で加工する露及び導電性の導体層がつかないものを選択する。

第2図(B)に示すように、回路基板11にコーティングされたコーティング膜12の側から形成する回路パターンを有するマスク11を付設し(ステップS2)、マスク11が付設されたコーティング膜12の側からエキシマレーザ13から出力されたレーザ光14を照射して露さ15の形状の露15を生成する(ステップS3)。第3図は上記の露さ15の断

ーン以外はコーティング膜12でカバーされており露15及び導電性膜17による露15は付着しない。

上述の第2図(D)に示す工程により生成された金属薄膜18の上に、第2図(E)に示すように導電性膜17により必要な厚さで導体19を形成する(ステップS10)。上述のステップS10で形成された導体19の平面図を第4図に示す。

ステップS10の次のステップでは、第2図(F)に示すように、不要なコーティング膜12を除去して回路基板11上に露さ15の凸状のパンプ20を形成する(ステップS11)。

上述のステップS11で形成された導体の厚さ19は電解メッシュの量により任意に設定出来る。また、パンプ20の高さは、電解メッシュの量及びニキシマレーザ13から出力されるレーザ光14の量、即ち加工量、により任意に設定出来る。

第6図は、本実施例の電子回路基板のパンプ形成方法における上述の各ステップS1～S11を用いて形成してLSI接続部の回路パターン及びパンプの断面を示す。

第6図に示すようなパンプの形成は、本実施例の電子回路基板のパンプ及び方法を用いれば少ない工程で効率よく加工することができる。

第7図(A)は本実施例の電子回路基板のパンプの形成方法を用いて作成されたTABテープの第7図(B)の部分AA'における断面図を示し、第7図(B)は第7図(A)のTABテープの上面図を示す。

第7図に示すように本実施例の方法を用いれば、TABテープの基板に露が加工され、その露に回路パターンが形成されると共にパンプがその露の一画分に加工される。

第7図(A)に、TABテープの断面図であり、図に示すように、回路パターン部分には基板に形成されており、更にその回路パターン部分にはパンプ部42が[基板]の表面[1]のレベルからLSI[1]に接続するよう突出して形成されている。

即ち、回路パターン部分及びパンプ部[1]を同時に形成できる。

なお図中、パンプ部[1]とLSI[1]とは離間して

の形成方法によれば、基板の表面にニーティング膜を形成し、所望の回路パターンを有する露のマスクを介してニーティング膜側から第1の光を照射することにより基板に露を形成し、パンプに相当する面積部分を有する第2のマスクを介してニーティング膜側から第2の光を照射することにより所定のパンプパターンを基板に形成し、形成された露及びパンプパターン上に所定層の導電性の露を形成するので、基板上にパンプ部に回路パターンを少ない製造工程により形成でき、基板上にLSIチップを容易に実装できる。

4. 図面の簡単な説明

第1図は本実施例の電子回路基板のパンプ及び回路パターンの形成方法を説明するためのフローチート、第2図(A)～第2図(F)は本実施例の電子回路基板のパンプ及び回路パターンの形成方法における各工程を説明するための断面図、第3図は第2図(B)の工程における平面図、第4図は第2図(C)の工程における平面図、第5図は第2図(E)の工程における平面図、第6図

特開平1-150033(4)

示されているか、これはパンプ部[1]が回路パターン部分[1]の一部分に形成されていることを示すためであり、実際にはパンプ部[1]とLSI[1]とは結合され形成されている。

第7図(B)は第7図(A)に示すTABテープの上面図であり、図に示すように本実施例の方法を用いればデバイスホールが不要であることが理解できる。また、回路パターン部分[1]及びパンプ部[1]が基板[1]に埋め込まれて形成されるので容易に変形せず、更にLSI[1]のパンプ加工が不要である。

【発明の効果】

本発明の電子回路基板のパンプによれば、基板に形成された所定の回路パターンを有する露と、露上に形成された所定層の導電性層とを有する電子回路基板におけるパンプであって、露から基板上に延伸して形成された所定層の導電性層から成るので、形成されたパンプによって基板上にLSIチップを容易に実装できる。

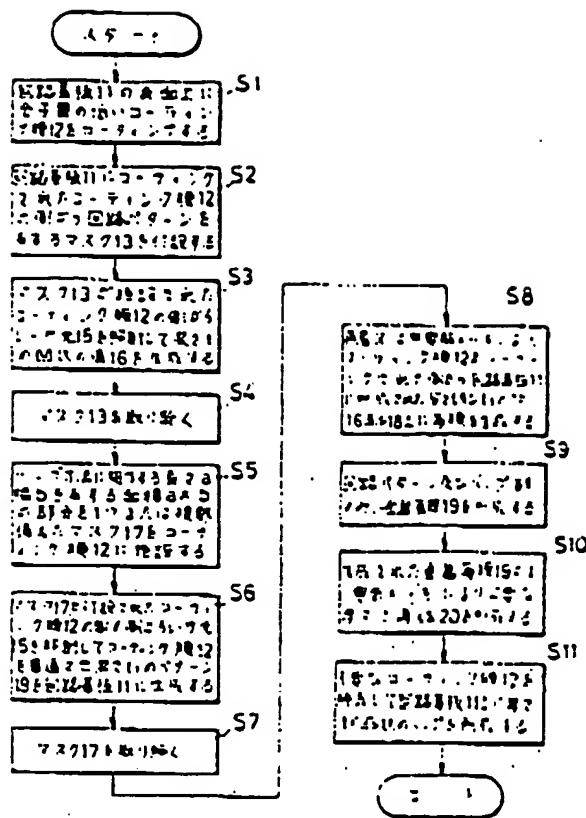
本発明の電子回路基板のパンプ及び回路パター

ンの形成方法によれば、基板の表面にニーティング膜を形成し、所望の回路パターンを有する露のマスクを介してニーティング膜側から第1の光を照射することにより基板に露を形成し、パンプに相当する面積部分を有する第2のマスクを介してニーティング膜側から第2の光を照射することにより所定のパンプパターンを基板に形成し、形成された露及びパンプパターン上に所定層の導電性の露を形成するので、基板上にパンプ部に回路パターンを少ない製造工程により形成でき、基板上にLSIチップを容易に実装できる。

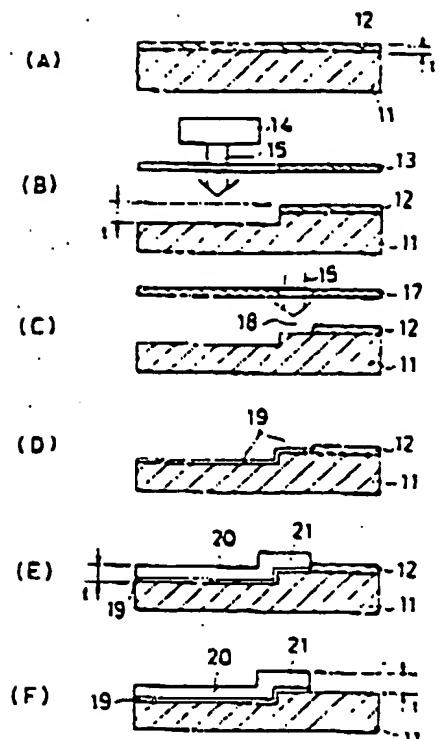
1. (1)…電子回路基板、(2)…ニーティング膜、
(3)…マスク、(4)…エキシマレーザー、(5)…レーザ光、
(6)…露の露、(7)…マスク、(8)…パターン、
(9)…全周薄膜、(10)…導体、(11)…パンプ。

出願人	(504)シーパラセラミック
代理人	川口義雄
代理人	中村
代理人	船山
代理人	依藤
代理人	井

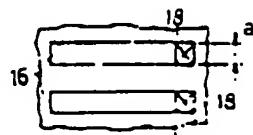
特開平4-150033 (5)



第1図

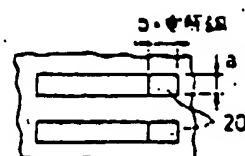


第2図

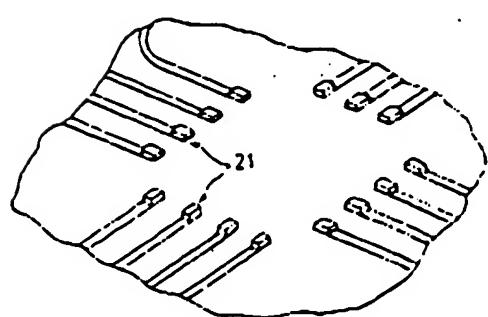


第3図

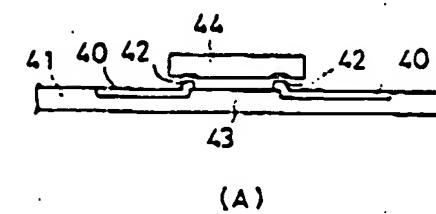
第4図



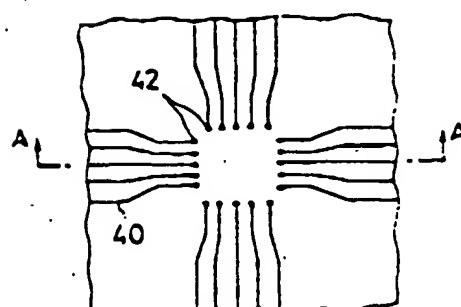
第5図



第6図



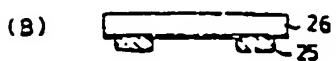
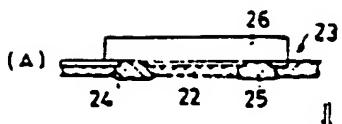
(A)



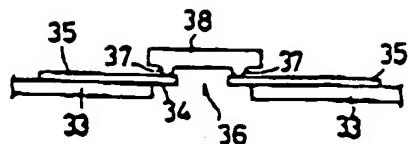
(B)

第7図

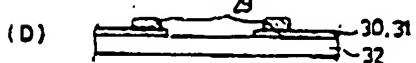
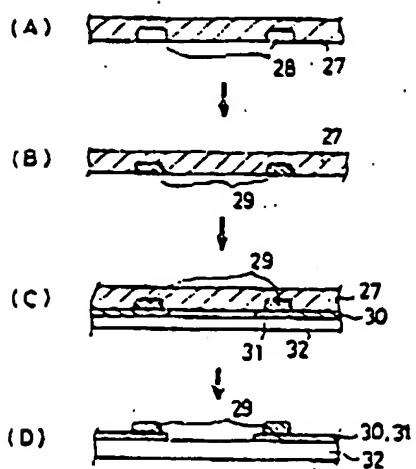
特開平1-150033 (6)



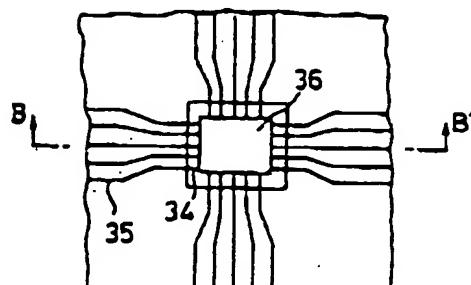
第8図



(A)



第9図



第10図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.